NAMANGAN DAVLAT UNIVERSITETI
ILMIY AXBOROTNOMASI, [2026-6]
ISSN:2181-1458
ISSN:2181-0427

01.00.00-FIZIKA-MATEMATIKA
journal.namdu.uz
PHYSICS AND MATHEMATICS

UO'K 537.534

NANOO'LCHAMLI SOI FINFET TRAN ZISTORLARDA SIRTIY HOLATLAR ZICHLIGINING BO'SAG'ADAN PAST O'TISH VOLT-AMPER TAVSIFINING QIYALIGIGA (SUBTHRESHOLD SLOPE) TA'SIRI

Karimov Ibroximjon Nabiyevich
Andijon davlat universiteti professori
Foziljonov Mirzabaxrom Baxtiyorjon o'g'li
Andijon davlat universiteti o'qituvchisi
Email: foziljonov.mirzabahrom.1991@gmail.com

Annotatsiya. *Ushbu maqolada nanoo'lchamli SOI FinFET tranzistorlarida sirtiy holatlar zichligi Dit ning bo'sag'adan past o'tish volt-amper tavsifining qiyaligi (subthreshold slope) SS, va kanal tok-kuchlanish tavsiflariga ta'siri dreyf–diffusion transport modeli asosida tahlil qilindi. Modellashtirishda zichlik gradientiga asoslangan kvant tuzatmalari, konsentratsiyaga bog'liq mobillik hamda kuchli elektr maydon ostida tezlikning to'yinish effekti hisobga olindi. Modellashtirishda kichik o'zgaruvchi signal usulidan foydalanildi. Natijalar sirtiy holatlar zichligi kichik va o'rta qiymatlarda qurilmaning bo'sag'adan past rejim xususiyatlari deyarli o'zgarmasligini, biroq Dit ning 1012 -1013 sm-2 eV-1 oralig'ida bo'sag'adan past o'tish volt-amper tavsifining qiyaligi (SS) ning yomonlashishi kuzatilishini ko'rsatdi. Natijalar qurilmaning tok-kuchlanish tavsifi va kanal bo'ylab elektrostatik maydon potensiali o'zgarish tahlillari bilan asoslandi. Olingan natijalar chegara sohasida tutib qolingan zaryadlar qurilmaning elektrostatik boshqaruvi va transport mexanizmlariga birgalikda ta'sir ko'rsatishini tasdiqlaydi.*

Kalit so'zlar: *SOI FinFET,TCAD Sentaurus, sirtiy holatlar zichligi, Dit, bo'sag'adan past o'tish volt-amper tavsifining qiyaligi (subthreshold slope), bo'sag'a kuchlanishi, elektrostatik potensial, dreyf–diffusion modeli.*

ВЛИЯНИЕ ПЛОТНОСТИ ПОВЕРХНОСТНЫХ СОСТОЯНИЙ НА НАКЛОН ПОДПОРОГОВОЙ ВОЛЬТ-АМПЕРНОЙ ХАРАКТЕРИСТИКИ (SUBTHRESHOLD SLOPE) В НАНОРАЗМЕРНЫХ SOI FINFET-ТРАНЗИСТОРАХ

Аннотация. *В данной статье на основе дрейф-диффузионной модели транспорта проведён анализ влияния плотности поверхностных состояний Dit в наноразмерных SOI FinFET-транзисторах на наклон подпороговой вольт-амперной характеристики — subthreshold slope (SS) — а также на токово-напряжённые характеристики канала. При моделировании были учтены квантовые поправки на основе модели градиента плотности, зависимость подвижности носителей заряда от концентрации, а также эффект насыщения скорости носителей в сильном электрическом поле. В процессе моделирования использовался метод малосигнального анализа. Полученные результаты показали, что при малых и средних значениях плотности поверхностных состояний подпороговые характеристики прибора практически не изменяются, однако в диапазоне 1012 -1013 sm-2 eV-1 наблюдается ухудшение наклона подпороговой вольт-амперной характеристики (SS). Данные результаты были обоснованы анализом токово-напряжённых характеристик прибора и изменения электростатического потенциала поля вдоль канала. Полученные результаты подтверждают, что заряды, захваченные в приграничной области, оказывают совместное влияние на электростатическое управление прибором и механизмы транспорта носителей заряда.*

Ключевые слова: *SOI FinFET, TCAD Sentaurus, плотность поверхностных состояний, Dit, наклон подпороговой вольт-амперной характеристики (subthreshold slope), пороговое напряжение, электростатический потенциал, дрейф-диффузионная модель.*

EFFECT OF SURFACE-STATE DENSITY ON THE SUBTHRESHOLD SLOPE OF NANOSCALE SOI FINFET TRANSISTORS

Abstract. *In this paper, the influence of the surface-state density Dit in nanoscale SOI FinFET transistors on the subthreshold slope (SS) of the current–voltage characteristics, as well as on the channel current–voltage behavior, is analyzed using the drift–diffusion transport model. In the simulations, density-gradient-based quantum corrections, concentration-dependent carrier mobility, and the carrier velocity saturation effect under a high electric field were taken into account. A small-signal analysis method was also*

employed in the modeling process. The obtained results show that, at low and moderate values of surface-state density, the subthreshold characteristics of the device remain almost unchanged; however, in the range of 1012 -1013 sm-2 eV-1, degradation of the subthreshold slope (SS) is observed. These results are substantiated by the analysis of the device current–voltage characteristics and the variation of the electrostatic potential along the channel. The obtained findings confirm that charges trapped in the interfacial region jointly affect the electrostatic control of the device and the carrier transport mechanisms.

Keywords: *SOI FinFET, TCAD Sentaurus, surface-state density, DitD_{it}Dit, subthreshold slope of the current–voltage characteristic, threshold voltage, electrostatic potential, drift–diffusion model.*

Kirish

Yarimo‘tkazgich qurilmalarda nanoo‘lchamli integrallashuv darajasining ortishi bilan planar MOSFET tranzistorlarda qisqa kanal effektlari, sizish toklarining ortishi va zatvorning kanal ustidan nazoratining pasayishi kabi muammolar yanada kuchaydi. Shu sababli ko‘p zatvorli tranzistor tuzilmalari, xususan SOI asosidagi FinFET qurilmalari, zamonaviy nanoelektronika uchun istiqbolli yechim sifatida keng tadqiq qilinmoqda. FinFET arxitekturasida zatvorning kanalni bir nechta tomondan o‘rab olishi bo‘sag‘adan past rejim xususiyatlarni yaxshilaydi va elektrostatik nazoratni kuchaytiradi.

Biroq, tuzulmalarning o‘lchami nanomiqiyosga yetganda oksid-yarimo‘tkazgich chegarasida hosil bo‘ladigan sirtiy holatlar tranzistor ishlashining muhim cheklovchi omillaridan biri bo‘lib qolmoqda. Oksid-yarimo‘tkazgich chegarasida paydo bo‘ladigan tuzoqlar (trap) zaryadlarni tutib qolishi sababli kanal zaryadining qayta taqsimlanishi, bo‘sag‘a kuchlanishi siljishi, SS ning ortishi va tok hosil bo‘lish mexanizmlarining o‘zgarishi yuz beradi. Mazkur ishda aynan D_{it} ning SS ga ta’siri boshqa elektrostatik parametrlar bilan bog‘liq holda tahlil qilinadi.

Adabiyotlar tahlili

FinFET tranzistorlarida sirtiy holatlar zichligini bo‘sag‘adan past rejim orqali baholash mumkinligi bir qator ishlarda ko‘rsatilgan. Boksteen va hammualliflari g_m/I_d usuli (tranzistorni tokka nisbatan boshqaruv samaradorligi orqali tahlil qilish usuli) yordamida bo‘sag'adan past o‘tish volt-amper tavsifining qiyaligi (SS) orqali D_{it} ni aniqlash mumkinligini ko‘rsatganlar [1]. Schmitz va hammualliflari esa bo‘sag‘a toki asosida sirtiy holatlar zichligini energiya bo‘yicha baholash metodikasini ishlab chiqqanlar [2].

MOS tuzulmalarda klassik nazariyaga ko‘ra, SS (subthreshold slope) xona temperaturasida taxminan 60 mV/dek ga teng nazariy minimumga ega bo‘lib, chegaradagi tuzoqlar (trap) tufayli sig‘im paydo bo‘lganda ushbu qiymat ortishi kerak [3]. Shuning uchun SS parametri oksid-yarimo‘tkazgich chegarasi sifatining sezgir ko‘rsatkichi sifatida qaraladi.

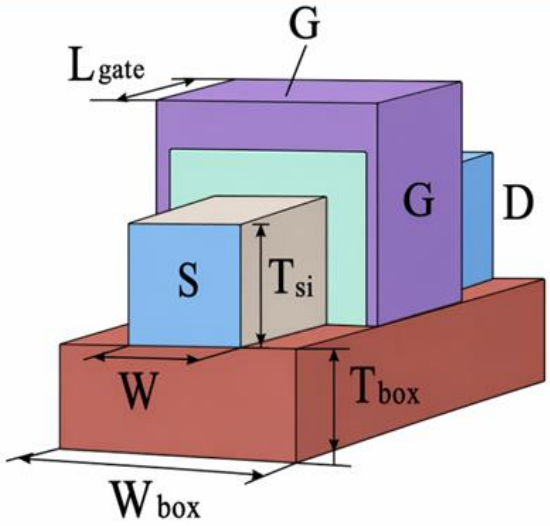
SOI FinFET qurilmalarida sirtiy holatlar zichligi bo‘sag‘a kuchlanish, tok va SS o‘zgarishiga olib kelishi ko‘rsatilgan [4]. Shuningdek, chegaradagi tuzoqlarning joylashuvi va taqsimoti SS degradatsiyasiga kuchli ta’sir ko‘rsatishi haqida ma’lumotlar mavjud [5]. Zamonaviy ishlarda tuzoqlarning elektr xarakteristikalarga ta’siri faqat SS bilan emas, balki bo‘sag‘a kuchlanishi, elektrostatik potensial va tok tashuvchilar konsentratsiyasi bilan bog‘liq holda baholanishi zarurligi ta’kidlanmoqda [6].

Biroq mavjud adabiyotlarning ko‘pchiligida ushbu parametrlar alohida ko‘rib chiqilgan. Shu sababli D_{it} ning SS (subthreshold slope) va tranzistorning elektrostatik parametrlariga kompleks ta’sirini bir model asosida o‘rganish ilmiy va amaliy jihatdan muhimdir.

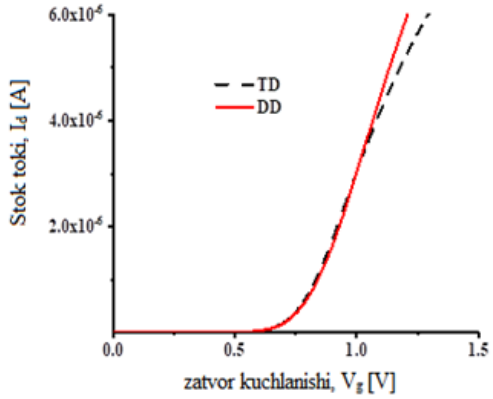
Tadqiqot metodologiyasi

Ko‘rilayotgan tadqiqot ishi Advanced TCAD Sentaurus dasturida modellashtirish orqali amalga oshirildi. Kremniy texnologiyasi asosida tayyorlangan vertikal maydon tranzistori (FinFET) tuzilmasi 1-rasmda ko‘rsatilgan. Modelga olingan SOI FinFET tranzistorining zatvor uzunligi L_{gate} = 25 nm, zatvor osti oksid qatlami qalinligi T_{ox} = 2.5 nm, kanal qalinligi T_{Si} = 30 nm, orqa oksid qatlami T_{box} = 100 nm va kanal eni W=12 nm qilib tanlandi. Kanal p-tip kremniydan tashkil topgan bo‘lib, kirishma atomlar konsentratsiyasi 1×10^{15} sm^{-3} ga teng deb olindi.

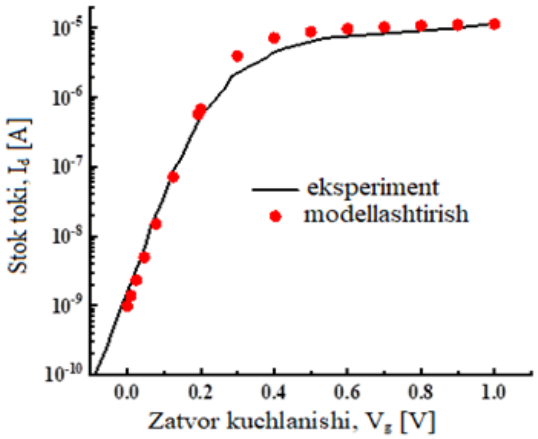
SOI FinFET tranzistori volt-amper tavsifiga mos transport modelini tanlash maqsadida dreyf-diffuzion hamda termodinamik transport modellari asosida modellashtirildi [7]. 2-rasmda keltirilgan natijalarga ko‘ra, zatvor kuchlanishi $V_g \approx 1V$ gacha bo‘lgan oraliqda har ikkala I_d-V_g tavsiflari deyarli bir-biriga mos keladi va ular orasida sezilarli tafovut kuzatilmadi shu sababli hisoblashlar resurslarini (quvvat va vaqtni) tejash maqsadida dreyf–diffuzion transport modeli asosida bajarildi. Kvant effektlarini hisobga olish uchun zichlik gradientiga asoslangan kvant tuzatmalari qo‘llanildi. Mobillik modeli tarkibida konsentratsiyaga bog‘liqlik va kuchli elektr maydon ostida tezlikning to‘yinish effekti inobatga olindi. Modellashtirishda qo‘llanilgan tuzilma natijalari [8]-manbada keltirilgan tajriba natijalari bilan $\mathbf{I_d–V_g}$ tavsiflarini taqqoslash orqali solishtirildi (3-rasm). Sirtiy holatlar zichligi D_{it} 10^8 dan 10^{13} sm^{-2} eV^{-1} gacha o‘zgartirildi.



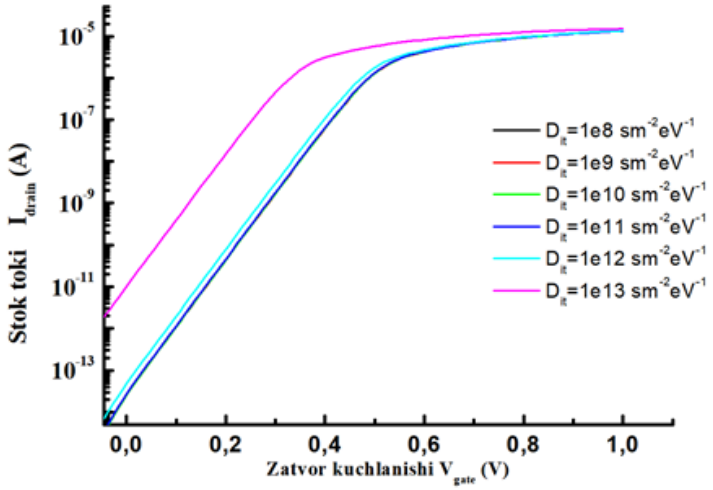
1-rasm. Modellashtirilgan FinFET tranzistorning tuzulmasi [7]



2-rasm. Termodinamik (TD) va diffusion-drift (DD) transport modellaridan foydalangan holda modellashtirilgan I_d–V_g tavsiflar [7]



3-rasm. I_d–V_g tavsiflarini modellashtirish va [7, 8]-manbada keltirilgan tajriba natijalari bilan taqqoslash orqali kalibrovkalash



4-rasm. FinFET tranzistorida modellashtirish orqali olingan D_{it} ning turli qiymatlarida I_d–V_g tavsifi

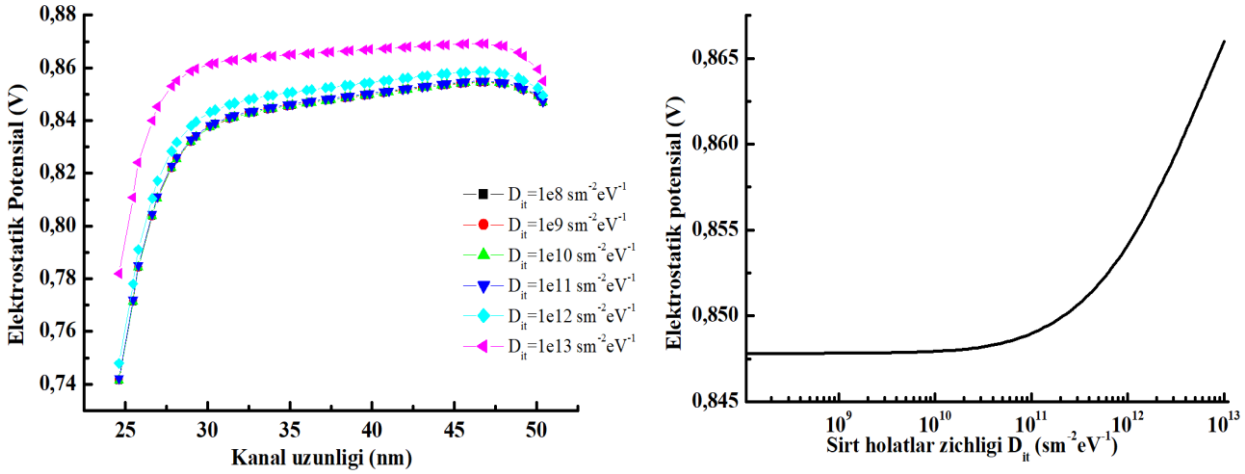
Tahlillar va natijalar

4-rasmdagi logarifmik I_d–V_g tavsiflar tahlili shuni ko‘rsatadiki, sirtiy holatlar zichligi ortishi bilan bo‘sag’adan past sohada tokning boshlanish nuqtasi pastroq zatvor kuchlanishlariga siljiydi. Ayniqsa D_{it} = 10^{13} sm^{-2} eV^{-1} da tokning erta ortishi chegaradagi tuzoqlar ishtirokidagi qo‘shimcha transport mexanizmlarining paydo bo‘layotganini ko‘rsatadi.

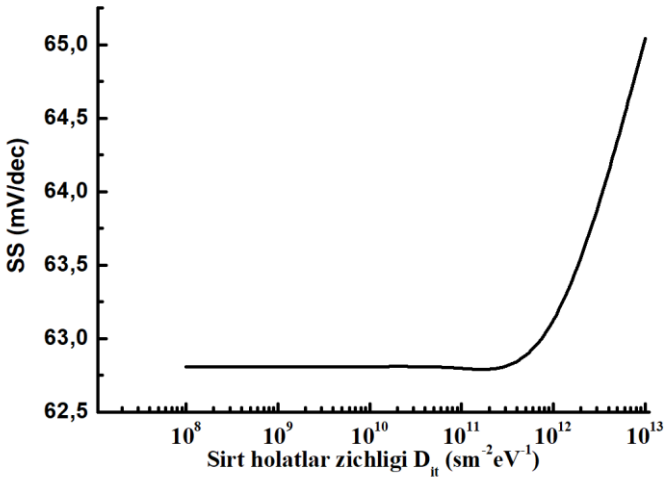
Yani, D_{it} ning kichik qiymatlarida oksid yarimo‘tkazgich chegarasi deyarli toza va zatvor kanaldan oqib o‘tayotgan tok oqimini yaxshi boshqaradi, D_{it} ning katta qiymatlarida esa chegara sohasida zaryadlarning tuzoqlarda ushlab qolinishi kanal potensialini o‘zgartiradi. Natijada chegarada to‘plangan lokal zaryadlar qo‘shimcha tok

$$I_d=I_{diff}+I_{trap} \quad (1)$$

hosil qiladi, va tranzistorning bo‘sag’adan past o‘tish volt-amper tavsifining qiyaligi SS (subthreshold slope) o‘zgaradi. Tranzistor erta ochilgandek ko‘rinadi.



5-rasm. Sirt holatlar zichligining elektrostatik maydon potensialiga ta’siri



6-rasm. Sirt holatlar zichligining SS (subthreshold slope) ga ta’siri

Elektrostatik maydon potensialning D_{it} ga bog‘liqligi tahlili shuni ko‘rsatadiki, sirtiy holatlar zichligi ortishi bilan kanal yuzasidagi potensial ortadi (5-rasm). Bu quyidagicha izohlanadi: Chegaradagi to‘plangan lokal zaryadlar qo‘shimcha zaryad manbai sifatida ishlaydi va ular elektrostatik muvozanatni o‘zgartirish natijasida oksid-yarimo‘tkazgich chegarasidagi sirtiy potensial φ_s ortadi. 5-rasm va 6-rasmda mos holda kanal yuzasidagi elektrostatik potensial φ_s hamda SS (subthreshold slope) ning sirt holatlar zichligi D_{it} ga bog‘liqligi keltirilgan. Natijalar shuni ko‘rsatadiki, D_{it} ning kichik qiymatlarida ($1*10^8$ - $1*10^{11}$ sm^{-2} eV^{-1}) elektrostatik potensial deyarli o‘zgarmaydi va SS ham amalda barqaror saqlanadi. Biroq sirtiy holatlar zichligining D_{it} ≥10^{12} sm^{-2} eV^{-1} dan yuqori qiymatlarida φ_s ning sezilarli ortishi bilan bir qatorda SS ham keskin ortishi kuzatiladi.

Bu bog‘liqlik bo‘sag‘a osti rejimidagi stok (chiqish) toki va oksid-yarimo‘tkazgich chegarasidagi sirtiy zaryad potensial orasidagi eksponensial munosabat bilan tushuntiriladi:

$$I_d \infty \exp(\frac{q\varphi_s}{kT}) \quad (2)$$

bundan

$log_{10} I_d \infty \frac{q\varphi_s}{kTln10}$ (3)

va SS (subthreshold slope) quyidagicha yoziladi:

$SS = \frac{dV_g}{d(log_{10} I_d)}$ yoki $SS = \ln(10)\frac{kT}{q}(\frac{d\varphi_s}{dV_g})^{-1}$ (4)

Bu tenglama kanal sirtidagi potensial ortib borayotgan bo‘lsa ham, agar bu o‘zgarish zatvor kuchlanishi tomonidan yetarlicha kuchli boshqarilmasa, SS qiymati yomonlashishi va SS ning ortishi sirtiy zaryad potensialning o‘zidan ko‘ra, uning zatvor kuchlanishiga bo‘lgan sezgirligi pasayishi bilan bevosita bog‘liqligini ifodalaydi.

Oksid-yarimo‘tkazgich chegarasida tuzoqlar mavjud bo‘lganda, sirtiy zaryad potensialining zatvor kuchlanishiga bog‘liqligi quyidagi sig‘imlar nisbati bilan aniqlanadi:

$\frac{d\varphi_s}{dV_g} = \frac{C_{ox}}{C_{ox}+C_{dep}+C_{it}}$ (5)

bu yerda C_{ox}-oksid qatlam sig‘imi, C_{dep}-kambag‘allashgan qatlam sig‘imi, C_{it}-chegaradagi tuzoqlarda to‘plangan zaryadlar hosil qilgan sig‘imi bo‘lib quyidagi ko‘rinishda ifodalanadi.

$C_{it} = qD_{it}$ (6)

Shunday qilib D_{it} ortishi bilan C_{it} ortadi va natijada $\frac{d\varphi_s}{dV_g}$ – elektrostatik boshqaruv yomonlashadi, bu esa bevosita SS ning ortishiga olib keladi. Buni quyidagi ifoda orqali ham ko‘rishimiz mumkun.

$SS = \ln(10)\frac{kT}{q}\left(1+\frac{C_{dep}+C_{it}}{C_{ox}}\right)$ (7)

5-6-rasmlar aynan shu fizik jarayonni tasdiqlaydi. D_{it} ning kichik qiymatlarida tuzoqlar hosil qilgan sig‘im C_{it} hali oksid qatlam sig‘imiga C_{ox} nisbatan kichik bo‘lgani uchun sirtiy zaryad potensialning zatvor kuchlanishiga tasiri deyarli sezilmaydi. Shu sababli φ_s ham, SS ham deyarli o‘zgarmas bo‘lib qoladi. D_{it} ning yuqori qiymatlarida esa tuzoqlar hosil qilgan sigim C_{it} sezilarli bo‘lib, zatvor kuchlanishining bir qismi kanalni boshqarishga emas, balki tuzoqlarda tutib qolingan zaryadlarini muvozanatlashga sarflanadi. Natijada zatvor tomonidan kanal boshqaruvi zaiflashadi.

Xulosa

Nanoo‘lchamli SOI FinFET tranzistorida sirtiy holatlar zichligi D_{it} ning elektrostatik maydon potensiali va bo‘sag‘adan past o‘tish volt-amper tavsifining qiyaligi (SS)ga ta’siri tahlil qilindi. Olingan natijalar shuni ko‘rsatdiki, D_{it} ning kichik va o‘rta qiymatlarida elektrostatik maydon potensiali hamda SS deyarli o‘zgarmaydi va qurilma idealga yaqin bo‘sag‘a osti xususiyatlarini saqlab qoladi. Biroq sirtiy holatlar zichligi yuqori qiymatlarga yetganda elektrostatik maydon potensialining ortishi va shu bilan birga SS ning yomonlashuvi kuzatildi.

Tahlil shuni ko‘rsatdiki, D_{it} ortishi bilan oksid-yarimo‘tkazgich chegarasidagi tuzoqlar hosil qilgan sig‘im C_{it} ortadi va natijada zatvorning kanal yuzasidagi potensialni boshqarish samaradorligi kamayadi. Shu sababli sirtiy zaryad potensialining zatvor kuchlanishiga sezgirligi pasayadi, bu esa bo‘sag‘a osti qiyaligining ortishiga olib keladi. Demak, SS ning yomonlashuvi oksid-yarimo‘tkazgich chegarasidagi tuzoqlar hisobiga kanal holatini boshqarishning yomonlashuvi bilan bog‘liq.

Shunday qilib, elektrostatik maydon potensiali va SS ning o‘zaro bog‘liq tahlili sirtiy holatlar zichligi nanoo‘lchamli SOI FinFET tranzistorlarning bo‘sag‘a osti rejimidagi elektrostatik boshqaruviga sezilarli ta’sir ko‘rsatishini tasdiqladi. Olingan natijalar oksid-yarimo‘tkazgich chegarasi sifatini yaxshilash va D_{it} ni kamaytirish yuqori samarali hamda barqaror FinFET qurilmalarini yaratishning muhim sharti ekanini ko‘rsatadi.

Foydalanilgan adabiyotlar

1. B. K. Boksteen, J. Schmitz, and R. J. E. Hueting, “Interface Trap Density Estimation in FinFETs Using the gm/ID Method in the Subthreshold Regime,” IEEE Transactions on Electron Devices, vol. 63, no. 5, pp. 1814–1820, 2016.

2. J. Schmitz, B. Kaleli, P. Kuipers, N. van den Berg, S. M. Smits, and R. J. E. Hueting, “Interface Trap Density Estimation in FinFETs from the Subthreshold Current,” 2016 International Conference on Microelectronic Test Structures (ICMTS), 2016.

3. S. M. Thomas, Electrical Characterisation of Novel Silicon MOSFETs and Detector Structures, PhD Thesis, University of Warwick, 2011.

4. S.-C. Hsu and Y. Li, “Electrical characteristic fluctuation of 16-nm-gate high-κ/metal gate bulk FinFET devices in the presence of random interface traps,” Nanoscale Research Letters, vol. 9, art. 633, 2014.

5. Y.-L. Yang et al., “Study on interfacial trap location induced subthreshold slope degradation extracted by random telegraph noise for high-k/metal gate FinFET devices,” Microelectronics Reliability, vol. 106, 2020.

6. R. Chaudhary et al., “Analysis on the impact of interface trap distributions on electrical characteristics of DMG FinFETs,” Micro and Nanostructures, 2024.

7. ._Atamuratov E.A., Karimov I.N., Foziljonov M.B., Abdikarimov A.E., Atamuratov O., Khalilloev M // Impact of local oxide trapped charge on electrical and Capacitance characteristics of SOI FinFET // East Eur. J. Phys. 3, 0 (2025), ISSN 2312-4334, https://doi.org/10.26565/2312-4334-2025-3-00. (№ 3, Scopus).

8. V.S. Basker, T. Standaert, and H. Kawasaki, et.al., in: Proc. Symp. VLSI Technol. (Honolulu, HI, USA, 2010), pp. 19–20.